

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020071169 A

(43)Date of publication of application: 12.09.2002

(21)Application number: 1020010011142

(22)Date of filing: 05.03.2001

(71)Applicant: SAMSUNG ELECTRONICS  
CO., LTD.(72)Inventor: HONG, EUN GI  
HONG, SU JIN  
HUH, JIN HWA  
KIM, HONG GEUN  
KOO, JU SEON  
PARK, MUN HAN

(51)Int. Cl.

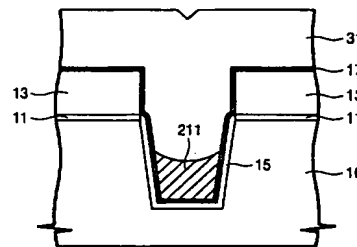
H01L 21/76

## (54) METHOD OF FORMING INSULATION LAYER IN TRENCH ISOLATION TYPE SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method of forming an insulation layer in trench isolation type semiconductor device is provided to fill isolation layer into a trench having a high aspect ratio without defects by using an SOG (Spin On glass) layer.

CONSTITUTION: A trench etch mask pattern(13) is formed on a substrate(10) including a pad oxide layer(11). A trench for isolation is formed on the substrate(10) by etching the substrate(10). A thermal oxide layer(15) is formed on an inner wall of the trench. A silicon nitride liner(17) is laminated on the thermal oxide layer(15). An SOG layer is formed on the substrate(10). A curing process for the SOG layer is performed. An etch process for the cured SOG layer(211) is performed. A silicon oxide layer(31) is deposited on the substrate(10) by a CVD(Chemical Vapor Deposition) method. A trench isolation layer is formed by removing the silicon nitride layer and the pad oxide layer(11).



&amp;copy; KIPO 2003

Legal Status

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/76	(11) 공개번호 (43) 공개일자	특2002-0071169 2002년09월12일
(21) 출원번호	10-2001-0011142	
(22) 출원일자	2001년03월05일	
(71) 출원인	삼성전자 주식회사	
(72) 발명자	경기 수원시 팔달구 매탄3동 416 홍수진 서울특별시서초구양재동17-16 박문한 경기도용인시기흥읍공세리382-1청구아파트105동1204호 구주선 경기도수원시팔달구영통동신나무실주공아파트515동501호 허진화 인천광역시남구도화1동388-22대흥주택3차402호 김홍근 경기도수원시팔달구영통동한국아파트211동106호 홍은기 경기도수원시팔달구영통동갈골주공아파트135동1801호	
(74) 대리인	임창현, 권혁수	

심사청구 : 없음

(54) 트렌치형 소자 분리막 형성 방법

요약

2단계로 채워지는 트렌치형 소자 분리막 형성방법이 개시된다. 본 발명은, 기판에 트렌치 소자 분리막을 형성함에 있어서, 먼저, 소자 분리 트렌치가 형성된 기판에 폴리실라제인 용액을 SOG(Spin On Glass) 방식으로 도포하여 트렌치를 일정 부분 채우는 SOG막을 형성한다. 트렌치를 넘치도록 채우지 않고도 균일한 도포 두께를 유지하기 위해서는 바람직하게는 폴리실라제인 용액은 고형 성분으로 고온 처리가 용이한 -[SiH<sub>2</sub>NH]<sub>n</sub>- 형태의 퍼하이드로 폴리실라제인을 5 내지 15 중량%를 가지는 것으로 한다. SOG막을 형성한 뒤에는 후속 열처리를 실시하게 된다. 트렌치 상부 공간을 드러내는 리세스(recess) 단계가 상면이 실리콘 기판면을 기준으로 아래쪽 일정 지점까지 낮추어지도록 이루어진다. 오존 TEOS USG막이나 HDP CVD 막이 잔여 트렌치 공간을 채운다.

도표도

도4

명세서

도면의 간단한 설명

도1 내지 도5는 본 발명 실시예의 공정 단계를 나타내는 측단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 소자 분리막 형성방법에 관한 것으로, 보다 상세하게는 SOG(Spin On Glass)막을 사용하는 트렌치형 소자 분리막 형성방법에 관한 것이다.

반도체 장치의 소자 고집적화에 따라 소자 분리막으로 STI(Shallow Trench Isolation)형 소자 분리막 사용이 늘고 있다. STI를 이용한 소자 분리법은 기판에 트렌치를 식각 형성하고 이 트렌치에 산화막을 채워 넣는 것으로, LOCOS(Local Oxidation of Silicon) 방법에 비해 버즈빅(bird's beak)의 문제를 없앨 수 있

다.

그러나, 반도체 장치의 소자 고집적화가 더욱 높은 정도로 이루어지면 소자 분리막이 채워질 트렌치의 깊이는 동일 수준을 유지하는 상태에서 폭이 상대적으로 줄어들어 가로세로비(aspect ratio)가 높은 값을 나타내는 경우가 많아진다. 따라서, 트렌치에 보이드(void)나 심(seam) 등의 결함이 없이 실리콘 산화막을 채워넣는 것이 요청되고 있다.

따라서 가로세로비가 높은 트렌치를 채울 산화막을 선택하면서 공간 채움성(gap filling)이 우수한 산화막을 형성하는 방법이 여러가지로 모색된다. 하나의 방법으로 오존 TEOS(Tetra Ethyle Ortho Silicate) USG(Undoped Silicate Glass)나 HDP(High Density Plasma) CVD(Chemical Vapor Deposition)를 사용하는 방법이 제시되었다. 그러나, 이들 HDP CVD 등을 이용한 산화막 적층도 트렌치 가로세로비가 가령 5 정도인 트렌치를 충분히 채울 수 없는 경우가 많아 SOG(Spin On Glass)막을 사용하는 방법이 대안으로 제시되었다. SOG는 도포(coating) 방식으로 기판에 적층되며, 처음 액상 혹은 졸(sol) 상태를 가지므로 갭필(gap fill)특성이 좋고, 단차를 줄이는 효과를 가질 수 있다.

예로써, SOG막의 하나인 HSQ(hydro silsesquioxane)막의 사용을 들면, 우선 막을 액상으로 기판에 도포한다. 100 내지 300°C 정도의 저온에서 온도를 올리면서 소프트 베이크를 실시하여 디알킬 에테르(dialkyl ether) 같은 용매 성분을 제거한다. 그리고, 400°C 정도의 하드 베이크를 수 십분 실시하여 막을 경화시켜 사용한다.

그런데, HSQ막은 비록 산화성 분위기에서 하드 베이크를 하는 경우에도 산소와 실리콘 외의 원소를 산소와 치환시켜 산화 실리콘을 이루는 큐어링(curing)이 잘 이루어지지 않는다. 특히, SOG막이 요구되는 환경에서는, 즉, 패턴 사이의 좁고 깊은 틈새를 메우기 위해 사용될 경우에는 산소 및 산소와 결합된 성분이 확산되기 어렵다. 또한, 막 표면부터 큐어링이 이루어져 산소의 확산을 방해하게 되므로 비교적 저온에서 큐어링 시키는 HSQ막은 실리콘 산화막 결정화가 잘 이루어지지 않는다. 큐어링이 잘 이루어지지 않을 경우, HSQ SOG막 내에 미처 제거, 치환되지 못한 수소 성분 등이 막의 다공화(porus) 등의 문제를 발생시킬 수 있다. 이들 잔류 성분이 있는 다공화 상태에서 HSQ막에 대한 식각, 특히, 습식 식각이 이루어지고, 세정이 이루어지는 경우 막에 대한 식각량이 급속히 증가한다. 따라서 HSQ막이 드러난 상태에서 식각이나 세정을 진행하는 공정은 안정성이 매우 떨어진다는 문제가 있다.

또한, 도포 후 처리과정을 통하여 부피의 변화(shrinkage)가 심하다. 따라서, 후속 어닐링 공정 등에서 크랙(crack)을 유발시키기 쉽고, 치유 상태가 완전한 부분과 비교할 때 열팽창 등에 따른 장력(stress)의 차이가 발생하므로 크랙 등 불량 발생의 가능성을 높이고 소자 신뢰성을 떨어뜨리는 등 구성막으로 사용하기에 적절하지 않은 면이 많다.

1998년 DUMIC Conference에 IBM사가 기고한 'SHALLOW TRENCE ISOLATION FILL FOR 1GBIT DRAM AND BEYOND USING A HYDROGEN SILSESQUOXANE GLASS/LPCVD TEOS HYBRID APPROACH'를 참조하면, HSQ막의 구성막으로서의 단점을 극복하기 위해 HSQ막으로 트렌치의 일부를 채우고 어닐링하여 산화 실리콘막을 형성한 뒤, 그 위로 저압기상증착(LPCVD) TEOS(Tetraethylorthosilicate)막을 형성하여 사용한 예를 볼 수 있다. 그러나, 이런 경우에도 위치에 따라 HSQ막 도포의 균일성이 떨어지므로 별도의 처리를 요하는 문제가 있다. HSQ막이 너무 많이 트렌치를 채우는 경우 HSQ막의 특성상 후속적 공정에서 불량을 유발할 가능성이 높았다.

한편, 일본특허공개공보 제 2000-183150호에는 SOG를 이용하여 트렌치 하부를 채우는 발명이 개시되어 있다. 이 발명에서는 SOG막으로 유기성분이 포함된 막을 사용하여 소자 분리용 트렌치를 1차로 매립한다. 그리고 SOG막에 대한 산소 플라스마처리를 통해 유기성분을 제거한다. 이때 SOG막 하부에 대해서는 산소 플라스마처리의 효과가 충분히 이루어지지 않는다. 그리고, SOG막을 식각을 통해 제거한다. 플라스마 처리된 SOG막 상부는 쉽게 식각되지만 유기성분이 포함된 트렌치 아래쪽의 SOG막 하부는 잘 식각되지 않음을 이용하여 트렌치 하부에 SOG막을 남긴다. 그리고, 트렌치 공간의 잔여부는 HDP CVD 등으로 산화막을 채운다. 이런 공정을 이용하면 가로세로비가 큰 트렌치를 보이드나 심이 없이 산화막으로 채울 수 있다. 그러나, 트렌치 아래쪽 부분에 잔류하는 SOG막의 탄소같은 유기성분은 소자분리막의 절연성에 악영향을 끼칠 수 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 트렌치형 소자 분리막 형성에 갭필 능력이 뛰어난 SOG를 사용하는 경우에 발생할 수 있는 종래의 문제점을 해결하기 위한 것으로, 가로세로비가 큰 트렌치에 결함 없이 소자 분리막을 채울 수 있는 트렌치형 소자 분리막 형성 방법을 제공하는 것을 목적으로 한다.

또한, 본 발명은 SOG막을 사용하되 공정의 여유도와 제품의 특성 및 신뢰성을 향상시킬 수 있는 트렌치형 소자 분리막 형성 방법을 제공하는 것을 목적으로 한다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 기판에 트렌치 소자 분리막을 형성함에 있어서, 먼저, 소자 분리 트렌치가 형성된 기판에 폴리실라제인 용액을 SOG(Spin On Glass) 방식으로 도포하여 트렌치를 일정 부분 채우는 SOG막을 형성한다. 트렌치의 일정 부분만을 SOG막으로 채우기 위해서는 도포 단계에서 도포 두께를 조절하여 처음부터 트렌치가 채워지지 않도록 할 수 있다. 그러나, 도포 두께의 균일성을 높이기 위해서 트렌치를 대부분 채우고 SOG막 식각을 통해 일정량 제거하여 트렌치의 상부 공간이 드러나게 하는 방법을 사용하는 것이 바람직하다.

트렌치를 넘치도록 채우지 않고도 균일한 도포 두께를 유지하기 위해서는 고형물질 함량을 줄인 5% 내지 20%의 묽은 용액을 이용하는 것이 바람직하다. 더욱 바람직하게는 폴리실라제인 용액은 고형 성분으로 고온 처리가 용이한  $-(SiH_2NH)_n-$  형태의 퍼하이드로 폴리실라제인을 5 내지 15 중량%를 가지는 것으로 한다.

SOG막을 형성한 뒤에는 SOG막을 산화화 실리콘 구조의 실리콘 산화막으로 변화시키기 위한 후속 처리를 실시하게 된다. 후속 처리는 베이킹과 어닐링으로 크게 나누어질 수 있고, 베이킹 단계에서는 용액의 용매를 제거하고 막을 굳히는 작용이 주로 이루어진다. 어닐링은 수증기(H<sub>2</sub>O)를 가지는 습식 분위기에서 700 내지 800°C의 고온에서 폴리실라제인의 유기 성분 혹은 수소 성분들을 산소로 치환하면서 산화 실리콘막을 이루어나가는 작용이 주로 이루어진다. 어닐링은 SOG막 형성 후 식각을 통해 트렌치 상부 공간을 드러내는 리세스(recess) 단계 전에 이루어지는 것이 바람직하나 리세스 후에 어닐링이 이루어질 수도 있다. SOG막에 대한 식각은 SOG막 상면이 실리콘 기판면을 기준으로 아래쪽 1000 옹스트롬 되는 지점까지 낮추어지도록 이루어지는 것이 바람직하다.

트렌치를 부분적으로 채운 잔류 SOG막 위로 기판에 CVD 방법으로 실리콘 산화막을 적층한다. CVD 실리콘 산화막으로는 채용성이 좋은 오존 TEOS USG막이나 HDP CVD 막이 사용되는 것이 바람직하다. 그리고, 소자 분리막을 완성하기 위해서는 실리콘 산화막을 CVD로 형성하는 단계에 이어 CMP 등을 이용한 평탄화 단계 더 구비된다.

이하 도면을 참조하면서 실시예를 통해 본 발명을 보다 상세히 설명하기로 한다.

도1 내지 도5는 본 발명 실시예의 공정 단계를 나타내는 측단면도들이다.

도1을 참조하면, 패드 산화막(11)이 형성된 기판(10)에 실리콘 질화막을 적층하고 포토레지스트를 이용한 노광공정과 식각공정을 통해 패터닝하여 트렌치 식각 마스크 패턴(13)을 형성한다. 트렌치 식각 마스크 패턴(13)을 이용하여 기판(10)을 식각한다. 따라서 기판(10)에 소자 분리용 트렌치(19)가 형성된다. 이때 식각과정은 이방성 식각으로 이루어진다. 트렌치(19) 내벽에 열산화막(15)을 형성하여 식각 과정에서 결정 손상을 치유시킨다. 열산화막(15) 위에 실리콘 질화막 라이너(17)를 100 옹스트롬 이내의 얇은 두께로 적층한다.

도2를 참조하면, 기판(10)에 트렌치를 채우도록 폴리실라제인 용액을 SOG 방식으로 도포하여 SOG막(21)을 형성한다. SOG 물질 가운데 실라제인(silazane) 계열은 -(SiR<sub>1</sub>R<sub>2</sub>NR<sub>3</sub>)<sub>n</sub>-로 표시될 수 있는 통상 평균 분자량 1000 내지 10000 정도의 물질로, R<sub>1</sub>, R<sub>2</sub> 및 R<sub>3</sub>가 모두 수소로 된 퍼하이드로 폴리실라제인이나 R<sub>1</sub>, R<sub>2</sub> 및 R<sub>3</sub>가 각각 탄소 1 내지 8개의 알킬기나 기타 아릴기, 알콕시기 등의 유기 원자단으로 이루어진 유기 폴리실라제인 같은 물질이다. 폴리실라제인은 디부틸 에테르(dibutyl ether), 톨루엔, 크실렌 같은 유기 용매에 일정 중량%로 포함된 상태로 도포에 사용된다. 통상 폴리실라제인으로 불리는 이런 SOG 도포 물질은 실리케이트(silicate)나, 실세스퀴옥산(silsesquioxane)을 포함하는 실록산(siloxane) 계열에 비해 높은 온도에서 열처리가 이루어질 수 있다. 따라서, 보다 완전한 큐어링(curing)이 가능하며 습식 식각에 대한 저항성을 높일 수 있고, HSQ와 같은 막에 비해 공정 적응이 용이하다.

SOG막(21)의 두께는 폴리실라제인 용액의 고형물 중량%와 도포에 사용된 스피너(spinner)의 속도에 따라 조절될 수 있다. 또한, 고형물의 함량이 적고 점도가 낮은 가령, 디부틸 에테르 용매에 폴리실라제인 고형물 함량 12% 정도의 용액을 이용할 경우, 단차진 부분 가운데 트렌치를 이루는 오목부에는 용액이 대부분 채워지도록 SOG막이 형성되고, 실리콘 질화막 마스크로 덮인 활성영역인 볼록부에는 SOG막이 미세한 두께로 형성되는 것도 가능하다. 균일적 도포를 위해서는 좁은 폴리실라제인 용액을 사용하는 것이 좋으나 너무 좁은 경우 형성될 막두께의 조절이 어렵고, SOG막을 한 번에 형성하기 어려워질 수 있다.

본 실시예에서는 폴리실라제인 5 내지 15 중량%의 묽은 용액으로 스피너의 회전수 1000 내지 5000 rpm(round per minute) 조건으로 도포를 실시하는 것으로 한다. 따라서, 좁은 영역 내에 심한 굴곡 변화를 보이는 셀 영역에서는 깊이 5000 옹스트롬, 폭 1000 옹스트롬의 트렌치가 SOG막(21)으로 채워지고, 실리콘 질화막의 식각 마스크 패턴으로 덮인 활성영역에서는 SOG막이 미세한 두께, 예를 들면 500 옹스트롬 이하로, 바람직하게는 0에 근사하게 형성되는 것으로 한다. 그러나, 트렌치나 활성영역이 넓게 형성되는 주변 영역에서는 경계부에서 완만한 경사를 이루면서 낮은 영역과 높은 영역에 동일한 두께의 SOG막이 형성된다.

폴리실라제인을 도포하면 베이킹을 통해 용매성분을 제거한다. 베이킹은 80 내지 350°C 정도의 프리 베이킹(pre bake)과 400°C를 전후한 하드 베이킹(hard bake) 및 이들의 조합이 모두 가능하다. 본 예에서는 수 분의 프리 베이킹을 통해 대부분의 용매성분을 제거하고, 다음으로, 400 내지 450°C의 온도에서 기판을 30분 정도 가열하는 하드 베이킹을 실시한다. 하드 베이킹은 질소 등 활성이 적은 기체나 진공 등의 분위기에서 이루어진다. 이 과정을 통해 SOG막에서 용매성분과 사일렌 가스, 기타 질소, 수소를 포함하는 성분이 가스 형태로 배출될 수 있다.

그리고, 700 내지 800°C 정도의 고온에서 10분 내지 1시간 동안 어닐링을 통해 산화 실리콘막을 이루어 가는 큐어링을 실시한다. 어닐링은 수증기가 공급되는 산화성 분위기에서 이루어지며 폴리실라제인의 유기 성분이나 기타 실리콘을 제외한 성분이 제거되고, 산소가 투입되어 산화 실리콘막이 형성된다. 이때 수증기 외의 가스는 통상의 대기보다 질소 분위기에서 이루어지는 것이 바람직하다.

도3을 참조하면, 큐어링된 SOG막(211)에 대해 전면적 식각을 실시한다. 따라서 SOG막(211) 상부가 제거되어 SOG막(211) 상면이 리세스된다. 이러한 리세스 양상은 전체 기판에 대해 비슷한 두께로 이루어진다. 따라서 SOG막 도포 자체를 균일하게 도포하는 것이 중요하며, 묽은 SOG막을 사용하는 것이 바람직하다. 식각은 트렌치를 채우는 SOG막(211)의 상면이 기판면에서 하방으로 1000 옹스트롬 정도 낮아질 때까지 이루어지는 것이 바람직하다. 따라서, 리세스 과정은 CMP에 의한 평탄화보다 습식 혹은 건식 에치트액에 의한 에치 백에 의해 이루어지는 것이 적합하다. 리세스가 조금만 이루어지면 후속의 산화막을 채우는 공정에서 겹 필링은 유리할 것이나, 이후 공정에서 SOG막(211)이 드러나고 식각이나 세정 공정을 통해 식각율이 높은 트렌치 하부의 SOG막(211)이 손상을 받기 쉽다는 것을 고려하여 리세스 정도를 결정한다.

큐어링 단계가 정상적으로 진행되었다는 전제하에서 트렌치 깊은 곳의 SOG막 산화는 한계가 있으나 SOG막의 상부는 높은 비율로 산화 실리콘막으로 변화되므로 기판면 이하 1000 옹스트롬 정도 SOG막을 리세스시키는 경우 식각율의 조절이 용이하게 이루어질 수 있다. 가령, 불산과 수산화 암모늄이 함유되며, 열산화막에 대한 식각율이 분당 200 옹스트롬 정도인 LAL 200 용액을 리세스용으로 이용할 때 분당 600 옹스

트렌치 정도의 식각이 이루어진다. 이는 열산화막에 비해서는 높은 수치이나 통상의 HSQ SOG막 등에 비해서는 조절 가능한 양이 된다.

도4를 참조하면, SOG막(211)이 트렌치에서 리세스된 상태에서 기판에 CVD 방식으로 실리콘 산화막(31)을 증착시킨다. 실리콘 산화막(31)의 적층에는 겹칠 능력이 뛰어난 HDP CVD 등의 방식을 사용한다. 실리콘 산화막(31) 증착 두께는 기판 전체를 덮을 정도로 충분한 두께로 한다. CVD 실리콘 산화막에 대한 경화작업(densification)이 통상 뒤따르며, CMP를 통해 트렌치 식각 마스크 패턴(13)이 드러나도록 평탄화 식각을 실시한다.

도5를 참조하면, 트렌치 식각 마스크 패턴(13)으로 사용된 실리콘 질화막과 패드 산화막(11)을 제거하여 하부 SOG막(211)과 상부 실리콘 산화막(311)으로 이루어진 트렌치형 소자 분리막 형성을 완료한다. 이때, 트렌치를 채운 소자 분리막 상부도 일부 식각되어 기판면과 비슷한 수준을 이루게 되는 것이 바람직하다.

#### 발명의 효과

본 발명에 따르면, 높은 가로세로비를 가지는 고정적 반도체 장치의 트렌치형 소자 분리막을 형성함에 있어서, 보이드와 같은 결함 없이 채울 수 있고, 탄소 기타 유기 성분 잔류에 따른 부작용을 줄일 수 있다. 따라서, 소자 분리 기능을 강화시키고 공정 불량을 방지할 수 있다.

#### (57) 청구의 범위

청구항 1. 소자 분리 트렌치가 형성된 기판에 폴리실라제인 용액을 SOG(Spin On Glass) 방식으로 도포하여 상기 트렌치를 일정 부분 채우는 SOG막을 형성하는 단계,

상기 SOG막을 실리콘 산화막으로 변화시키기 위한 후속 열처리를 실시하는 단계,

상기 SOG막 위로 기판에 CVD(Chemical Vapor Deposition) 방법으로 실리콘 산화막을 적층하여 상기 트렌치의 잔여 공간을 채우는 단계를 구비하여 이루어지는 트렌치형 소자 분리막 형성 방법.

청구항 2. 소자 분리 트렌치가 형성된 기판에 폴리실라제인 용액을 SOG(Spin On Glass) 방식으로 도포하여 상기 트렌치를 채우는 SOG막을 형성하는 단계,

상기 SOG막을 실리콘 산화막으로 변화시키기 위한 후속 열처리를 실시하는 단계,

상기 후속 처리가 실시된 상기 SOG막을 식각하여 상기 트렌치의 일정 부분만을 채우는 잔류 SOG막을 형성하는 단계,

상기 잔류 SOG막 위로 기판에 CVD 방법으로 실리콘 산화막을 적층하여 상기 트렌치의 잔여 공간을 채우는 단계를 구비하여 이루어지는 트렌치형 소자 분리막 형성 방법.

청구항 3. 제 2 항에 있어서,

상기 폴리실라제인 용액은 고형 성분이 5 중량% 이상 20 중량% 이하인 것을 사용하며,

상기 트렌치 주변의 활성영역 위로는 상기 SOG막이 500 옹스트롬 이하의 두께로 도포되는 것을 특징으로 하는 트렌치형 소자 분리막 형성 방법.

청구항 4. 제 2 항에 있어서,

상기 후속 처리는 베이킹과 어닐링으로 이루어지며,

상기 어닐링 단계는 수증기(H<sub>2</sub>O)가 공급되는 산화성 분위기에서 700℃ 내지 800℃의 온도로 10분 내지 60분 이루어지는 것을 특징으로 하는 트렌치형 소자 분리막 형성 방법.

청구항 5. 제 2 항에 있어서,

상기 SOG막에 대한 식각 단계는 상기 잔류 SOG막 상면이 상기 트렌치의 입구에서 1000 옹스트롬 저감(recess) 되도록 이루어지는 것을 특징으로 하는 트렌치형 소자 분리막 형성 방법.

청구항 6. 제 2 항에 있어서,

상기 폴리실라제인 용액은 고형 성분으로  $-(SiH_2NH)_n-$  형태의 퍼하이드로 폴리실라제인만을 5 내지 15 중량% 포함하는 것을 특징으로 하는 트렌치형 소자 분리막 형성 방법.

청구항 7. 제 2 항에 있어서,

상기 실리콘 산화막을 CVD로 형성하는 단계에서는 HDP(high density plasma) CVD가 사용되는 것을 특징으로 하는 트렌치형 소자 분리막 형성 방법.

청구항 8. 제 7 항에 있어서,

상기 실리콘 산화막을 CVD로 형성하는 단계에 이어 CMP(chemical mechanical polishing) 평탄화 단계가 더 구비되는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 9. 제 2 항에 있어서,

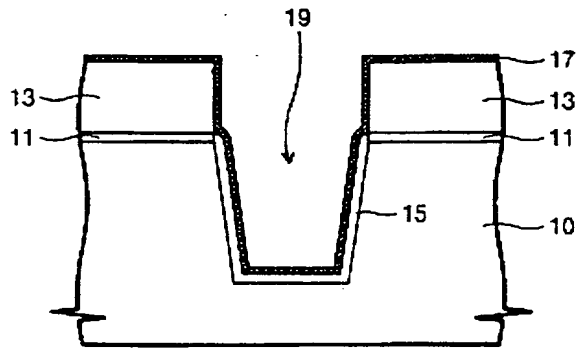
상기 후속 처리는 베이킹과 어닐링으로 이루어지며,

상기 어닐링 단계는 수증기와 질소(N<sub>2</sub>)가 공급되는 산화성 분위기에서 700℃ 내지 800℃의 온도로 10분

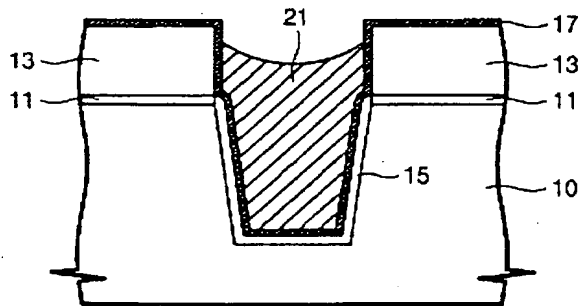
내지 60분 이루어지는 것을 특징으로 하는 트렌치형 소자 분리막 형성 방법.

도면

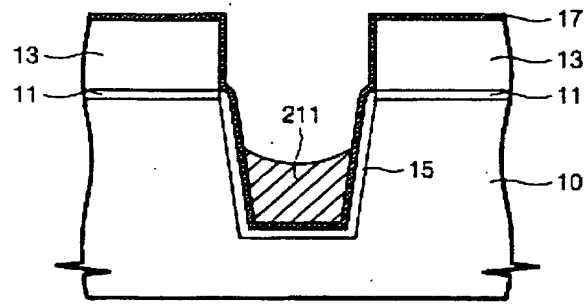
도면1



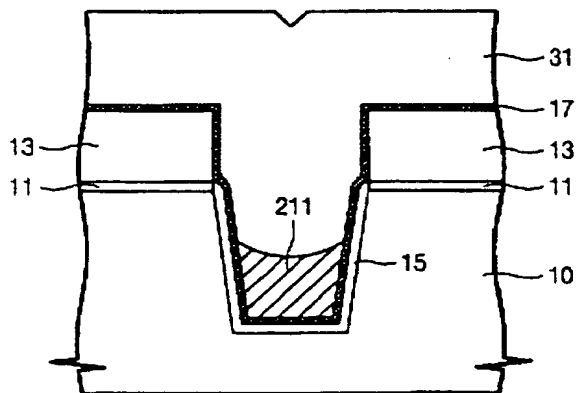
도면2



도면3



도 24



도 25

